

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177103

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H01L 29/786

H01L 21/28

H01L 27/08

(21)Application number : 09-362498

(71)Applicant : NEC CORP

(22)Date of filing : 15.12.1997

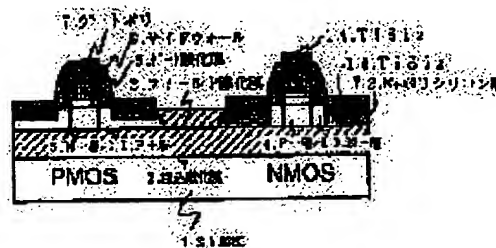
(72)Inventor : ONISHI HIDEAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress rise of silicide resistance by a thinning effect of silicide on a source/drain of an SOI device without complicating structure of a device and without adversely affecting the characteristics of the device.

SOLUTION: In an MOS device provided with an insulator thin film 2 formed on a silicon substrate 1 and a substrate provided with a silicon thin film formed on the insulator, the MOS device is provided with a channel area 4 of a first conducting type, source/drain area 10 of a second conducting type provided with dispersion depth to the insulator thin film and high fusing point metal silicide for covering a part of the source/drain and the silicon thin film between the high fusing point silicide and the insulator thin film is a polysilicon layer 12.



LEGAL STATUS

[Date of request for examination] 15.12.1997

[Date of sending the examiner's decision of rejection] 16.05.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

- [Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177103

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 29/786		H 0 1 L 29/78	6 1 3 A
21/28	3 0 1	21/28	3 0 1 T
27/08	3 3 1	27/08	3 3 1 E
		29/78	6 1 6 V
			6 1 6 U
審査請求 有 請求項の数8 F D (全 5 頁)			

(21) 出願番号 特願平9-362498

(22) 出願日 平成9年(1997)12月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大西 秀明

東京都港区芝五丁目7番1号 日本電気株式会社内

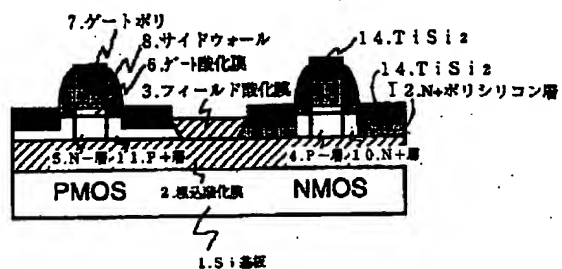
(74) 代理人 弁理士 堀 城之

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 デバイスの構造を複雑にすることなく、またデバイスの特性に悪影響を及ぼすことなくSOIデバイスのソース/ドレイン上でのシリサイドの細線化効果によるシリサイド抵抗の上昇を抑える。

【解決手段】 シリコン基板1の上に形成された絶縁体薄膜2と、この絶縁体上に形成されたシリコン薄膜を有する基板を備えたMOSデバイスにおいて、上記MOSデバイスは第一導電型のチャネル領域4と、上記絶縁体薄膜まで達する拡散深さを有する第二導電型のソース/ドレイン領域10と、ソース/ドレインの一部を覆う高融点金属シリサイド14を備え、上記高融点シリサイドと上記絶縁体薄膜の間のシリコン薄膜はポリシリコン層12であることを特徴とする半導体装置。



【特許請求の範囲】

【請求項1】 表面に絶縁体薄膜を有するSOI基板構造の素子基板上に形成されたMOSTランジスタを含む半導体装置において、前記MOSTランジスタは第一導電型のチャネル領域と、前記絶縁体薄膜まで達する拡散探さを有する第二導電型のソース/ドレイン領域と、ソース/ドレインの一部を覆う高融点金属シリサイドを備え、前記高融点金属シリサイドと前記絶縁体薄膜との間にポリシリコン層を設けたことを特徴とする半導体装置。

【請求項2】 前記SOI基板は、シリコン基板と、このシリコン基板上に形成された絶縁体薄膜と、この絶縁体薄膜上に形成されたシリコン薄膜とを含むことを特徴とする、請求項1記載の半導体装置。

【請求項3】 前記ポリシリコン層は、イオン注入と高温アニールにより形成されていることを特徴とする、請求項1又は2記載の半導体装置。

【請求項4】 前記MOSTランジスタは、PMOSTランジスタとNMOSTランジスタとを有することを特徴とする、請求項1～3記載の半導体装置。

【請求項5】 前記ポリシリコン層は、NMOSTランジスタの素子領域にのみ形成されていることを特徴とする、請求項1～4記載の半導体装置。

【請求項6】 前記ポリシリコン層は、NMOSTランジスタ及びPMOSTランジスタの両方の素子領域に形成されていることを特徴とする、請求項1～4記載の半導体装置。

【請求項7】 前記ポリシリコン層と、トランジスタのチャネル部との間に単結晶シリコン層が形成されていることを特徴とする、請求項1～6記載の半導体装置。

【請求項8】 前記SOI基板の絶縁体薄膜上に形成されたシリコン薄膜の一部を、前記高融点金属シリサイドと前記ポリシリコン層に変化させていることを特徴とする、請求項2～7記載の半導体装置

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関する、特にSOI型の半導体装置に関するものである。

【0002】

【従来の技術】SOI (Silicon-On-Insulator) デバイスは、素子分離の容易さや、ラッチアップフリーであること、ソース/ドレインの接合容量が低減できること等から、その有用性が注目されている。しかし、100nm以下の薄膜SOI上にMOSデバイスを形成する場合には、ソース/ドレインの抵抗が非常に大きくなるため、ソース/ドレインを低抵抗化する為の技術が必須となる。低抵抗化の為の技術としては、Ti等の高融点金属シリサイド技術が最も広く用いられている。

【0003】図4に、例えば1995 IEEE SO

I Conf. p30に示されている、薄膜SOI上に形成したMOSデバイスにチタンシリサイドを形成した場合の一般例を示す。図4において、1はSi基板、2は埋込酸化膜、3はフィールド酸化膜、4はNMOSのチャネル部となるP層、5はPMOSのチャネル部となるN層、10はNMOSのソース/ドレインとなるN層、11はPMOSのソース/ドレインとなるP層であり、6はゲート酸化膜、7はゲートポリ、8はサイドウォール、14はチタンシリサイド (TiSi₂) である。

【0004】一般的に10、11のN層、P層はジャンクションリーク等の問題が無いように単結晶Si層の状態が保たれるように形成される。特にNMOSのソース/ドレインの注入は、ソース/ドレインが完全にアモルファス化しないようにリンを用いるのが望ましいとされている。

【0005】

【発明が解決しようとする課題】上記の一般例において問題点となるのは、単結晶Siの状態を保ったソース/ドレイン上にシリサイドを形成しようすると、特にNMOSにおいてはドーパントであるリンやヒ素がシリサイド反応を抑制する為に、図5に示すようにソース/ドレインの線幅が小さくなると急激にシリサイド抵抗が上昇する細線化効果が顕著になる。このような細線化効果によるシリサイド抵抗の上昇は、特にハーフミクロン世代以降のLSIでは動作速度に重大な影響を及ぼす。

【0006】本発明の目的は、デバイスの構造を複雑にすることなく、またデバイスの特性に悪影響を及ぼすことなくSOIデバイスのソース/ドレイン上でのシリサイドの細線化効果によるシリサイド抵抗の上昇を抑えることである。

【0007】

【課題を解決するための手段】前記課題を解決するため、本発明では、表面に絶縁体薄膜を有するSOI基板構造の素子基板上に形成されたMOSTランジスタを含む半導体装置において、MOSTランジスタは第一導電型のチャネル領域と、絶縁体薄膜まで達する拡散探さを有する第二導電型のソース/ドレイン領域と、ソース/ドレインの一部を覆う高融点金属シリサイドを備え、高融点金属シリサイドと絶縁体薄膜との間にポリシリコン層を設けた構成とした。SOI基板は、シリコン基板と、このシリコン基板上に形成された絶縁体薄膜と、この絶縁体薄膜上に形成されたシリコン薄膜とを含む構成とすることもできる。ポリシリコン層は、イオン注入と高温アニールにより形成されている構成とすることもできる。MOSTランジスタは、PMOSTランジスタとNMOSTランジスタとを有する構成とすることもできる。ポリシリコン層は、NMOSTランジスタの素子領域にのみ形成されている構成とすることもできる。ポリシリコン層は、NMOSTランジスタ及びPMOSTラ

ンジスの両方の素子領域に形成されている構成とすることもできる。ポリシリコン層と、トランジスタのチャネル部との間に単結晶シリコン層が形成されている構成とすることもできる。SOI基板の絶縁体薄膜上に形成されたシリコン薄膜の一部を、高融点金属シリサイドとポリシリコン層に変化させた構成とするのが好適である。

【0008】本発明においては、ソース/ドレインのチタンシリサイド形成部のみをポリシリコン化し、その上にシリサイドを形成するために、図6に示すようにNMOSのソース/ドレイン部の細線化効果を抑制することが出来る。また本発明の方法ならば、デバイスの構造や製法を複雑化すること無く、またデバイス特性に悪影響を及ぼすこと無く、チタンシリサイドの細線化効果を抑制することが出来る。またこの構造は、SOIトランジスタ特有の寄生バイポーラ効果の抑制に有効である。

【0009】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。図1は本発明を適用した半導体装置の断面図である。本発明の半導体装置は、図1に示すように、NMOSのソース/ドレインのチタンシリサイド形成領域にN+ポリシリコン層12を形成し、その上にTiSi₂14を形成している。

【0010】NMOSにおいて、シリサイド形成領域のN+層はN+poly-Si層12であり、ポリシリコンは単結晶Siと異なり結晶粒界が存在し、この結晶粒界での粒界拡散によってシリサイド反応が促進されるために、従来例のような細線化効果が抑制され、図6に示すようにハーフミクロン級の線幅でも低抵抗のシリサイドが形成される。また、本発明においてはチャネル領域と接するN+層10は単結晶状態であるために、ジャンクションリーク等のデバイス特性への悪影響は見られない。

【0011】またSOIトランジスタには、トランジスタ動作時にドレイン電界により発生したホールがチャネル部の電位を引き下げるために、トランジスタのドレイン電流-ドレイン電圧特性にキックが観測されたり、ドレイン耐圧が低下したりする寄生バイポーラ効果が起こりやすい。

【0012】しかしこの構造では、ソースのシリサイド下のポリシリコン部がドレイン電界で発生したホールの再結合中心として作用しホールの吸収効率を高めるため、寄生バイポーラ効果を抑制することができる。

【0013】次に、図1に示す半導体装置の製造方法の一例を図2の製造工程の断面図を用いて説明する。

【0014】SOI基板のSi層を所望の厚さ、例えば50nmに薄膜化し公知の方法例えばLOCOS法によりフィールド酸化膜3を形成して素子分離を行い、フォトレジストをマスクとしてNMOS用にはボロンを、PMOS用にはリンをそれぞれ10¹⁷~10¹⁸cm⁻³程度の濃度注入し、P-層4とN-層5を形成する[図

2(a)]。

【0015】次に、熱酸化法により例えば7nmのゲート酸化膜を形成し、ポリシリコンをCVD法により例えば150nm被着し、リソグラフィー工程と異方性エッチングによりゲートポリ7を形成する。

【0016】次に、CVD法により例えば100nmの酸化膜を被着しこれをエッチバックしてサイドウォール8を形成する[図2(b)]。

【0017】次に、NMOSのソース/ドレイン形成用のフォトレジスト13をパターンニングし、イオン注入によるアモルファス化層を形成しやすい、質量の大きいドーパント例えばヒ素を50keV程度のエネルギーで例えば5×10²⁰cm⁻³程度の濃度になるよう注入し、高濃度にN型にドーピングされたアモルファス化層9を形成する[図2(c)]。

【0018】そして、PMOS形成用のフォトレジスト13をパターンニングして、例えば、BF₂を30keVの注入エネルギーで5×10²⁰cm⁻³程度の濃度になるように注入する[図2(d)]。

【0019】そして不純物の活性化のためのRTAを例えば1000℃、10秒行くと、NMOSではアモルファス化層はN+ポリシリコン層12となり、ドーパントの横方向拡散とチャネル部の単結晶Si層からの固層エピ成長により、チャネルのP-層4と接する部分は単結晶Si層であるN+層10が形成される。またPMOSにはアモルファス化層は形成されていないので、ソース/ドレイン領域全体が単結晶層であるP+層11となる[図2(e)]。

【0020】そして公知の方法によりソース/ドレイン及びゲートポリ上にTiSi₂14が形成される。チタンシリサイドの形成方法としては、例えばTiを20nmスパッタし、窒素雰囲気中で700℃でRTAによりC49相のTiSi₂を形成し、絶縁膜状に形成されるTiNを、例えばNH₄OH+H₂O₂+H₂O溶液により選択的にエッチングし、窒素雰囲気中で800℃でRTAにより低抵抗のC54相のTiSi₂14を形成する[図2(f)]。

【0021】この後、公知の方法により金属配線が形成される。

【0022】図3は本発明の他の実施の形態に係る半導体装置の断面図である。本案実施例が先の実施例と相違する点は、PMOSのシリサイド形成領域のP+層がP+ポリシリコン層15となっている点である。

【0023】この構造は図2(b)の状態でもマスクを用いずに、例えばヒ素を注入エネルギー50keVで1×10²⁰程度の濃度になるように注入し、NMOS、PMOS両方のソース/ドレイン領域をアモルファス化し、後は第一の実施例と同じ工程を経ることにより、図3の構造が形成される。

【0024】なお、PMOSに注入されたヒ素はソース

／ドレイン形成用のBF₂により打ち返されることになる。PMOSの場合、もともと細線化効果はNMOSに比べ弱いので、NMOS程の劇的な低抵抗化はしないが、より低抵抗のシリサイドがイオン注入工程を付加することにより得られることになる。

【0025】実施例ではチタンシリサイドを用いた場合について説明したが、本発明はコバルト、ニッケルその他の高融点金属シリサイドにも適用可能なものである。

【0026】

【発明の効果】第一の効果はポリシリコン上にシリサイドを形成するために、薄膜SOI上でも細線効果が抑制された低抵抗なシリサイドが形成できることである。

【0027】また、第二の効果は、本発明は複雑な構造や複雑な工程を用いることなく薄膜SOIデバイスのソース／ドレインの低抵抗化が可能であることである。

【0028】第三の効果はソース／ドレイン領域のチャネル部と接する部分は単結晶であるためにジャンクションリーク等のデバイス特性への悪影響が見られないことである。

【0029】第四の効果はSOIトランジスタの寄生バイポーラ効果を抑制することが出来ることである。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るCMOSデバイスの断面図である。

【図2】本発明の実施の形態に係るCMOSデバイスの製造方法を説明するための工程断面図である。

【図3】本発明の実施の形態に係るCMOSデバイスの製造方法を説明するための工程断面図である。

【図4】本発明の実施の形態に係るCMOSデバイスの製造方法を説明するための工程断面図である。

【図5】本発明の実施の形態に係るCMOSデバイスの製造方法を説明するための工程断面図である。

【図6】本発明の実施の形態に係るCMOSデバイスの製造方法を説明するための工程断面図である。

【図7】本発明の実施の形態に係るCMOSデバイスの製造方法を説明するための工程断面図である。

【図8】本発明の他の実施の形態に係るCMOSデバイスの断面図である。

【図9】従来技術を説明するための断面図である。

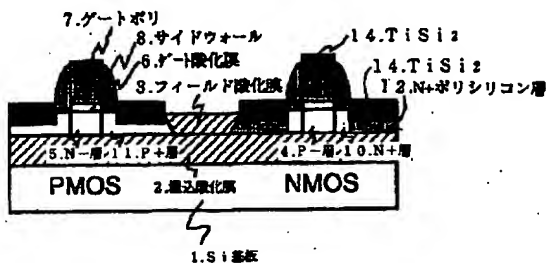
【図10】従来技術に係る細線効果を説明するためのグラフである。

【図11】本発明の実施の形態に係る細線効果を説明するためのグラフである。

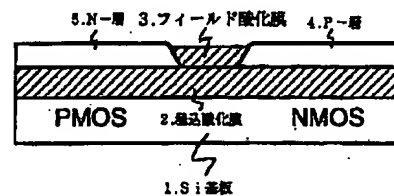
【符号の説明】

- 1 Si基板
- 2 埋込酸化膜
- 3 フィールド酸化膜
- 4 P-層 (チャネル部)
- 5 N-層 (チャネル部)
- 6 ゲート酸化膜
- 7 ゲートポリ
- 8 サイドウォール
- 9 アモルファス化層 (N+)
- 10 N+層 (ソース／ドレイン)
- 11 P+層 (ソース／ドレイン)
- 12 N+ポリシリコン層 (ソース／ドレイン)
- 13 フォトリソグ
- 14 TiSi₂
- 15 P+ポリシリコン層 (ソース／ドレイン)

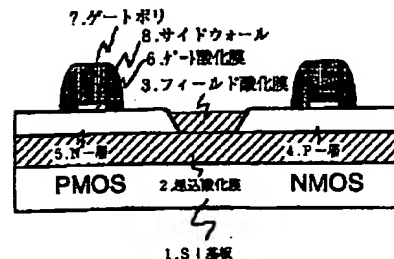
【図1】



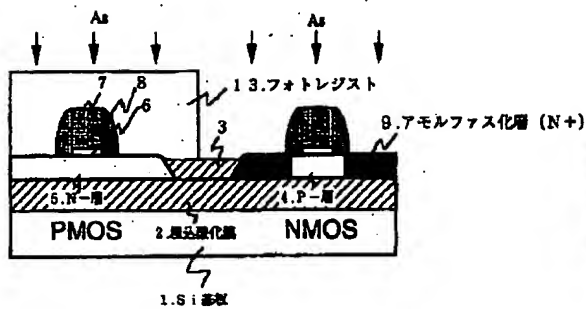
【図2】



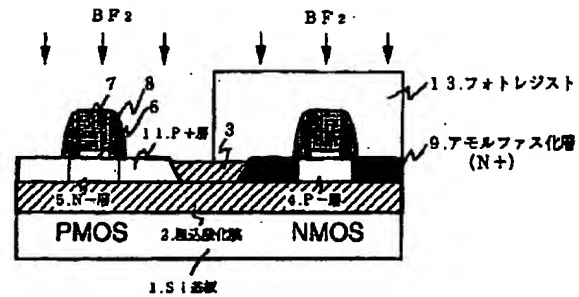
【図3】



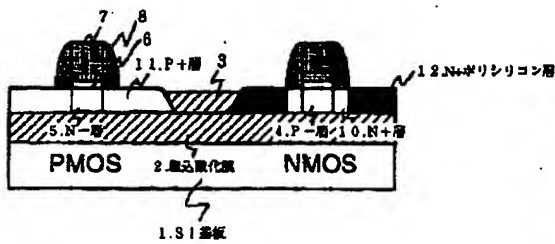
【図4】



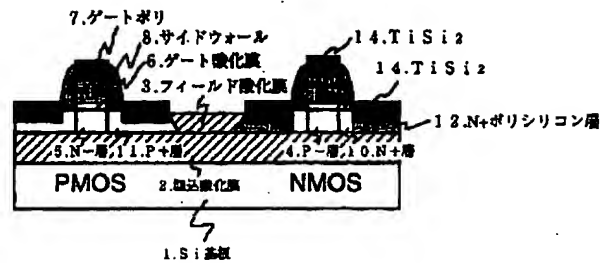
【図5】



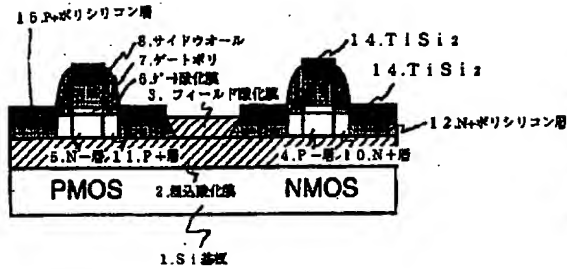
【図6】



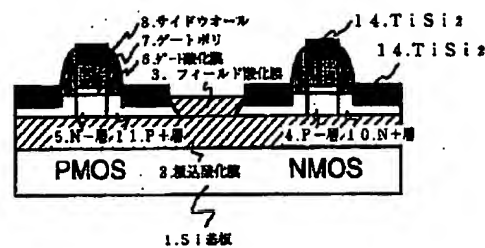
【図7】



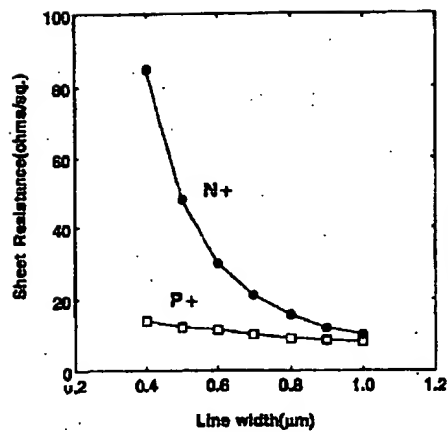
【図8】



【図9】



【図10】



【図11】

